

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
H01L 23/50

(11) 공개번호
(43) 공개일자

특1999-0080278
1999년11월05일

(21) 출원번호	10-1998-0013405
(22) 출원일자	1998년04월15일
(71) 출원인	주식회사 바른전자, 최완균 대한민국 420-130 경기도 부천시 원미구 도당동 74-6
(72) 발명자	최완균 대한민국 463-030 경기도 성남시 분당구 분당동 94 두산빌라 209동 206호 오상연 대한민국 463-070 경기도 성남시 분당구 야탑동 331 장미마을 동부아파트 106동 502호 박상영 대한민국 302-120 대전광역시 서구 둔산동 수정아파트 1동 1102호
(74) 대리인	윤동열 이선희
(77) 심사청구	있음
(54) 출원명	멀티 칩 패키지

요약

본 발명은 멀티 칩 패키지(Multi chip package) 및 그 제조방법에 관한 것으로서, 더욱 상세하게는 기판에 형성된 관통개구를 덮는 제1칩의 하면에 제2칩을 관통개구내에 위치하도록 접착시켜 적층한 멀티 칩 패키지에 관한 것이다. 본 발명에 따르면, 제1칩이 기판에 형성된 관통개구를 덮으면서 놓이고, 제2칩이 제1칩의 관통개구내 하면에 접착되는 멀티 칩 패키지 또는 상기의 멀티 칩 패키지가 복수개 적층되어 있는 적층형 멀티 칩 패키지를 제공하여 종래의 멀티 칩 패키지에 비해 기판 두께만큼 반도체 패키지의 높이를 줄일 수 있으므로 소정의 높이, 예를들면 JEDEC규정의 TSOP 패키지의 경우 패키지 높이가 최대 1.2mm 이하를 만족하는 소형이며 박형인 반도체 패키지를 제공할 수 있는 이점이 있다.

대표도

도3

명세서

도면의 간단한 설명

도1은 종래기술에 따른 멀티 칩 패키지의 실시예로서 TSOP(Thin Small Outline Package)를 나타내는 단면도,
도2는 종래기술에 따른 멀티 칩 패키지의 다른 실시예로서 BGA(Ball Grid Array)구조를 갖는 패키지의 단면도,
도3은 본 발명의 제1실시예를 나타내는 단면도,
도4는 본 발명의 제1실시예로서, 제1패키지 몸체가 형성되기 전의 모습을 나타내는 평면도,
도5는 본 발명의 제1실시예로서, 제2패키지 몸체가 형성되기 전의 모습을 나타내는 저면도,
도6은 본 발명의 제2실시예에 따른 멀티 칩 패키지의 단면도,
도7은 본 발명의 제3실시예에 따른 멀티 칩 패키지의 단면도,
도8은 본 발명의 제4실시예에 따른 멀티 칩 패키지의 단면도,
도9a 내지 도9h는 본 발명에 따른 멀티 칩 패키지의 제조방법을 나타내는 단면도이다.

< 도면의 주요 부분에 대한 설명 >

20,30,100,200,300,400: 멀티 칩 패키지(multi chip package)

21: 다이패드(die pad)

22: 외부리드

발명이 이루고자 하는 기술적 과제

따라서 본 발명의 목적은 고밀도 실장과 박형화를 이룰 수 있으며, 와이어 스위핑, 단락 등의 문제를 해결할 수 있는 멀티 칩 패키지 및 그 제조 방법을 제공하는데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위해 본 발명은 집적회로가 형성된 활성면과 상기 활성면에 형성된 복수의 본딩패드를 갖는 복수의 칩이 서로 적층되어 있는 멀티 칩 패키지로서, 복수의 기판단자들이 형성된 제1주면 및 제2주면과, 상기 제1주면과 상기 제2주면 사이를 관통하여 형성된 관통개구를 갖는 기판과; 상기 기판의 관통개구를 덮으면서 상기 기판의 제1주면에 놓이며, 상기 복수의 본딩패드는 전기적 연결수단에 의해 상기 기판의 기판단자들과 각각 전기적으로 연결되는 제1칩과; 접착제에 의해 상기 기판의 관통개구내의 상기 제1칩의 비활성면에 접착되며, 상기 복수의 본딩패드들은 본딩 와이어에 의해 상기 기판의 제2주면의 기판단자들에 연결되는 제2칩과; 상기 제2칩과 본딩 와이어를 수지로 봉지하여 형성된 제2패키지 몸체와; 상기 제1칩과 전기적 연결수단을 수지로 봉지하여 형성된 제1패키지 몸체와; 상기 제1 및 제2칩을 외부와 전기적으로 연결시키기 위한 외부단자로서, 상기 기판에 형성되며, 상기 외부단자의 높이는 상기 제2패키지 몸체의 높이 보다 크거나 같은 외부단자를 구비하는 것을 특징으로 하는 멀티 칩 패키지를 제공한다.

또한 본 발명은 복수의 칩이 적층되어 있는 제3칩이 상기의 제1칩상에 적층되어 있는 멀티 칩 패키지로서, 상기 제3칩은 전기적 연결수단에 의해 기판의 제1주면상의 기판패드에 전기적으로 연결되고, 상기 제1칩, 제3칩 및 전기적 연결수단이 수지에 의해 봉지되어 제1패키지 몸체를 형성하며, 타구성요소는 상기의 멀티 칩 패키지와 동일한 구성을 갖는 멀티 칩 패키지를 제공할 수 있다.

본 발명은 또한 상기 멀티 칩 패키지가 적어도 2이상 적층되어 형성된 적층형 멀티 칩 패키지로서, 상부에 놓이는 상기 적층형 멀티 칩 패키지의 외부단자의 높이가 하부에 놓이는 상기 멀티 칩 패키지의 제2패키지 몸체의 높이보다 크거나 같은 것을 특징으로 하는 적층형 멀티 칩 패키지를 제공할 수 있다.

한편 본 발명은 집적회로가 형성된 활성면과 상기 활성면에 형성된 복수의 본딩패드를 갖는 복수의 칩이 서로 적층되어 있는 멀티 칩 패키지를 제조하기 위한 방법으로서, (a)복수의 기판단자가 형성된 제1주면 및 제2주면을 가지며, 상기 제1주면과 상기 제2주면을 관통하여 형성된 관통개구를 갖는 기판을 준비하는 단계와; (b)접착제를 이용하여 제1칩을 상기 관통개구를 덮도록 상기 기판에 접착시키는 단계와; (c)상기 관통개구내의 상기 제1칩의 비활성면에 접착제를 이용하여 제2칩의 비활성면을 접착시키는 단계와; (d)본딩 와이어를 이용하여 상기 제2칩의 본딩패드를 각각 상기 기판의 제2주면의 기판패드에 전기적으로 연결하는 단계와; (e)상기 제2칩 및 상기 본딩 와이어를 수지로 봉지하여 제2패키지 몸체를 형성하는 단계와; (f)전기적 연결수단을 이용하여 상기 제1칩의 본딩패드를 각각 상기 기판의 제1주면에 형성된 기판패드에 전기적으로 연결하는 단계와; (g)상기 제1칩 및 상기 전기적 연결수단을 수지로 봉지하여 제1패키지 몸체를 형성하는 단계와; (h)상기 기판에 상기 제1칩 및 상기 제2칩을 외부와 전기적으로 연결시키는 외부단자로서, 상기 외부단자의 높이는 상기 제2패키지 몸체의 높이보다 크거나 같은 외부단자를 형성하는 단계를 포함하는 것을 특징으로 하는 멀티 칩 패키지 제조방법을 제공한다.

종래기술에 따른 멀티 칩 패키지에서는, 기판 또는 다이패드를 갖는 리드 프레임용 지지층으로 하여 복수의 칩을 적층하여 멀티 칩 패키지를 구현한 경우, 적층된 칩의 높이뿐만 아니라, 기판 또는 다이패드의 두께만큼 멀티 칩 패키지의 높이가 증가됨으로써 반도체 패키지의 박형화를 이루기 곤란하였다. 본 발명에서는 제1칩이 기판에 형성된 관통개구를 덮으면서 놓이고, 제2칩이 제1칩의 관통개구내 하면에 접착되는 멀티 칩 패키지 또는 적층형 멀티 칩 패키지를 제공하여 종래의 멀티 칩 패키지에 비해 기판두께 만큼 패키지 줄일 수 있으므로 소형이며 박형인 반도체 패키지를 구현할 수 있다.

본 발명에서는 박형의 멀티 칩 패키지를 제공하기 위해 상기 기판의 두께를 상기 제2칩의 두께보다 크거나 같도록 할 수 있다.

또한 본 발명의 멀티 칩 패키지는 칩의 비활성면 사이를 접착제에 의해 접착할 수 있으므로, 활성면에 형성된 집적회로가 열팽창 정도에 따라 깨지는 것을 막을 수 있고, 전도성 접착제를 사용할 수 있으므로 방열효과가 우수하다. 일반적으로 전도성 접착제가 비전도성 접착제 보다 방열능력이 우수한 것으로 알려져 있다.

제1칩과 기판과의 전기적 연결수단으로는, 예를들어 본딩 와이어 또는 솔더 범프가 가능하다. 기판에 형성되는 외부단자로는 솔더 볼과 칼럼 리드가 가능하다. 바람직하게는, 실장면적을 감소시키기 위해 솔더 볼을 사용한 볼 그리드 어레이 패키지를 제공할 수 있다.

본 발명에서 제1패키지 몸체 또는 제2패키지 몸체는 수지, 예를들면 에폭시 성형수지를 이용하여 트랜스퍼 몰딩(transfer molding) 또는 포팅(potting)방법에 의해 형성될 수 있다. 바람직하게는 제1패키지 몸체는 트랜스퍼 몰딩 방법에 의해 형성되고, 제2패키지 몸체는 기판의 소정의 위치에 염을 형성하고 수지, 예를들면 에폭시 성형수지를 부음에 의해 제2패키지 몸체를 형성한 후, 제2패키지 몸체의 높이가 기판에 형성되는 외부단자의 높이보다 크거나 같아지도록 등근 부분이 평평하게 갈려질 수 있다.

이하에서는 첨부 도면을 참조하여 본 발명의 실시예를 보다 상세하게 설명하고자 한다.

도3은 본 발명의 제1실시예를 나타내는 단면도이고, 도4는 본 발명의 제1실시예로서, 제1패키지 몸체가 형성되기 전의 모습을 나타내는 평면도이며, 도5는 본 발명의 제1실시예로서, 제2패키지 몸체가 형성되기 전의 모습을 나타내는 저면도이다.

도3 내지 도5를 참조하면, 복수개의 기판단자(115a, 115b)가 형성된 제1주면(112) 및 제2주면(114)을 갖는 기판(110)의 일부분, 바람직하게는 중앙부에 제1주면(112)과 제2주면(114)을 관통하여 관통개구(117)가 형성된다. 기판(110)으로는 다층기판이 사용될 수 있다. 제1칩(130a)은 관통개구(117)를 덮으면서 제1접착제(160), 예를들면 에폭시 수지에 의해 기판(110)의 제1주면(112)에 접착되며, 제1칩(130a)의 복수의 본딩패드(135a)는 바람직하게는 본딩 와이어(140a)에 의해 제1주면(112)상의 기판단자(115)에 각각 전기적으로 연결된다. 솔더 범프(미도시)를 이용하여 제1칩(130a)과 기판(110)의 기판패드(115a)를 전기적으로 연결하는 것도 가능하다.

제2칩(130b)은 관통개구(117)내의 제1칩(130a) 하면에 접착제(160)에 의해 접착되며, 제2칩(160)의 본딩패드(135b)는 본딩 와이어(140)에 의해 제2주면(114)상의 기판단자(115b)에 전기적으로 연결된다. 도6에서 점선부분(130a)은 제1칩(130a)의 하면에 제2칩(130b)이 접착되는 위치를 나타낸다.

발명의 효과

이상 설명한 바와 같이 본 발명에 따르면, 제1칩이 기판에 형성된 관통개구를 덮으면서 놓이고, 제2칩이 제1칩의 관통개구내 하면에 접촉되는 멀티 칩 패키지 또는 적층형 멀티 칩 패키지를 제공하여 종래의 멀티 칩 패키지에 비해 기판 두께만큼 반도체 패키지의 높이를 줄일 수 있으므로 소정의 높이, 예를들면 JEDEC규정의 TSOP 패키지의 경우 패키지 높이가 최대 1.2mm 이하를 만족하는 소형이며 박형인 반도체 패키지를 구현할 수 있다.

또한, 종래 멀티 칩 패키지에 비해 박형의 반도체 패키지를 제공할 수 있으므로 패키지의 높이가 소정의 높이, 예를들면 JEDEC규정의 TSOP 패키지의 경우 패키지 높이가 최대 1.2mm 이하가 되도록 웨이퍼의 뒷면을 과도하게 가는 공정을 피할 수 있으므로 상기의 웨이퍼를 과도하게 가는 공정에 따른 웨이퍼의 깨짐, 작업성 저하의 문제점이 없다는 이점이 있다.

또한 본 발명은 제1칩과 제2칩의 비활성면 사이에서 접촉시킬 수 있는 구조를 제공함으로써, 활성면상에 형성된 집적회로를 보호할 수 있으며 비전도성 접착제를 사용할 수 있어 방열효과가 우수하다.

또한 제2칩이 소형화되는 경우라도 그에 대응하여 관통개구의 크기를 조절하여 본딩 와이어 길이를 종래와 같은 길이로 일정하게 유지할 수 있으므로, 종래 멀티 칩 패키지에서와 같이 칩의 소형화에 따른 본딩 와이어 길이의 증대에 의한 와이어 스위핑, 단락 등의 문제가 일어나지 않으므로 칩의 소형화가 용이하다는 이점이 있다.

(57) 청구의 범위

청구항 1.

집적회로가 형성된 활성면과 상기 활성면에 형성된 복수의 본딩패드를 갖는 을 복수의 칩이 서로 적층되어 있는 멀티 칩 패키지로서,

복수의 기판단자들이 형성된 제1주면 및 제2주면과, 상기 제1주면과 상기 제2주면 사이를 관통하여 형성된 관통개구를 갖는 기판과;

상기 기판의 관통개구를 덮으면서 상기 기판의 제1주면에 놓이며, 상기 복수의 본딩패드는 전기적 연결수단에 의해 상기 기판의 기판단자들과 각각 전기적으로 연결되는 제1칩과;

접착제에 의해 상기 기판의 관통개구내의 상기 제1칩의 비활성면에 접촉되며, 상기 복수의 본딩패드들은 본딩 와이어에 의해 상기 기판의 제2주면의 기판단자들에 연결되는 제2칩과;

상기 제2칩과 본딩 와이어를 수지로 봉지하여 형성된 제2패키지 몸체와;

상기 제1칩과 전기적 연결수단을 수지로 봉지하여 형성된 제1패키지 몸체와;

상기 제1 및 제2칩을 외부와 전기적으로 연결시키기 위한 외부단자로서, 상기 기판에 형성되며, 상기 외부단자의 높이는 상기 제2패키지 몸체의 높이 보다 크거나 같은 외부단자를 구비하는 것을 특징으로 하는 멀티 칩 패키지.

청구항 2.

집적회로가 형성된 활성면과 상기 활성면에 형성된 복수의 본딩패드를 갖는 을 갖는 복수의 칩이 서로 적층되어 있는 멀티 칩 패키지로서,

복수의 기판단자들이 형성된 제1주면 및 제2주면과, 상기 제1주면과 상기 제2주면 사이를 관통하여 형성된 관통개구를 갖는 기판과;

상기 기판의 관통개구를 덮으면서 상기 기판의 제1주면에 놓이며, 상기 복수의 본딩패드는 전기적 연결수단에 의해 상기 기판의 기판단자들과 각각 전기적으로 연결되는 제1칩과;

접착제에 의해 상기 기판의 관통개구내의 상기 제1칩의 비활성면에 접촉되며, 상기 복수의 본딩패드들은 본딩 와이어에 의해 상기 기판의 제2주면의 기판단자들에 연결되는 제2칩과;

상기 제1칩 상에 놓이는 적어도 2이상의 칩으로서, 상기 복수의 본딩패드들은 전기적 연결수단에 의해 상기 기판의 제1주면에 형성된 기판단자들과 각각 전기적으로 연결되는 제3칩과;

상기 제1칩, 제3칩 및 전기적 연결수단을 수지로 봉지하여 형성된 제1패키지 몸체와;

상기 제2칩과 본딩 와이어를 수지로 봉지하여 형성된 제2패키지 몸체와;

상기 제1, 제2칩 및 제3칩을 외부와 전기적으로 연결시키기 위한 외부단자로서, 상기 기판에 형성되며, 상기 외부단자의 높이는 상기 제2패키지 몸체의 높이보다 크거나 같은 외부단자를 구비하는 것을 특징으로 하는 멀티 칩 패키지.

청구항 3.

제1항 또는 제2항에 있어서, 상기 전기적 연결수단은 본딩 와이어인 것을 특징으로 하는 멀티 칩 패키지.

청구항 4.

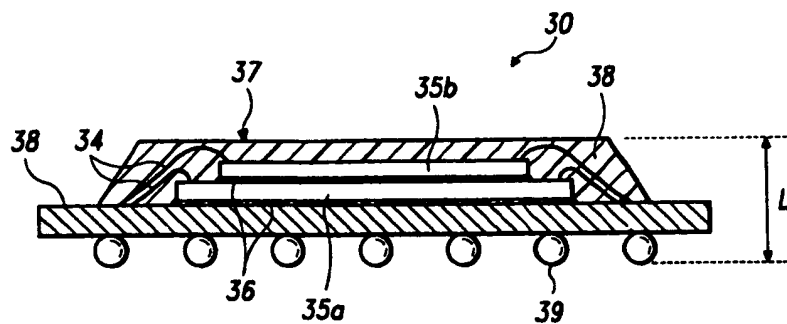
제1항 또는 제2항에 있어서, 상기 제1칩을 상기 기판단자에 전기적 연결시키는 전기적 연결수단은 솔더 범프인 것을 특징으로 하는 멀티 칩 패키지.

청구항 5.

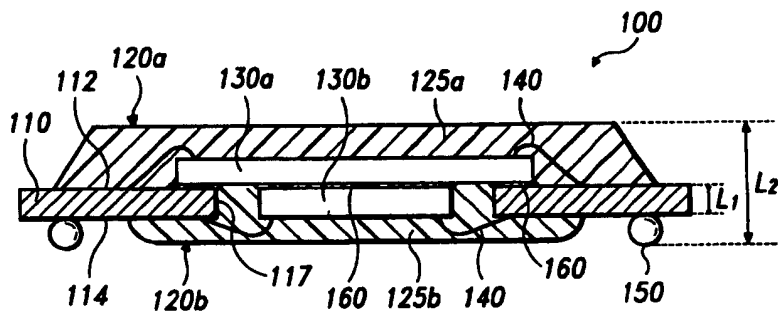
제1항 또는 제2항에 있어서, 상기 외부단자는 상기 기판단자와 전기적으로 연결되는 솔더 볼인 것을 특징으로 하는 멀티 칩 패키지.

청구항 6.

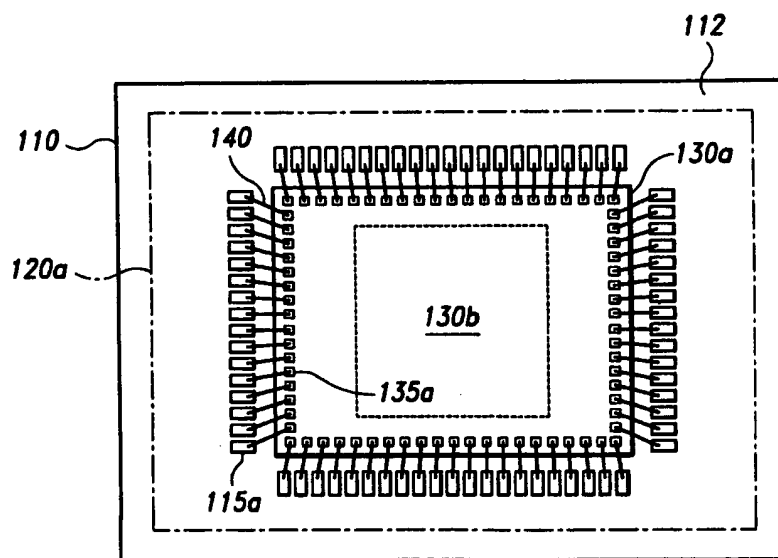
도면 2



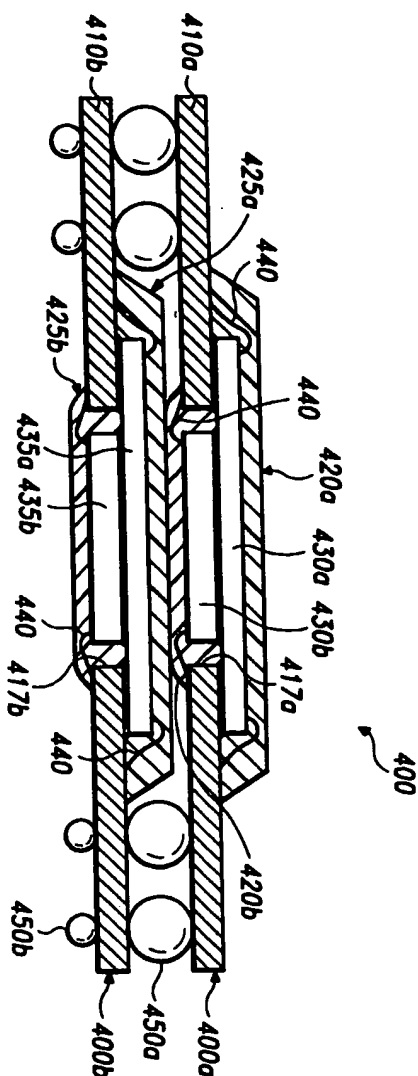
도면 3



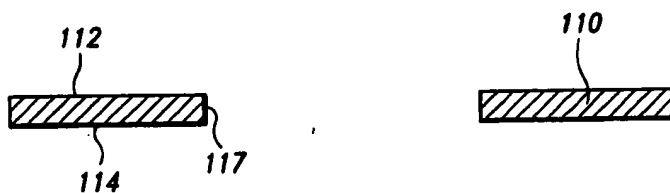
도면 4



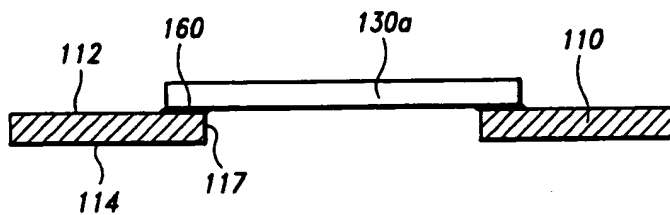
도면 8



도면 9a



도면 9b



도면 9h

